

PATENT ABSTRACTS OF JAPAN

4

(11)Publication number : 59-206960
 (43)Date of publication of application : 22.11.1984

Best Available Copy

(51)Int.CI. G06F 13/00
 G11C 8/00

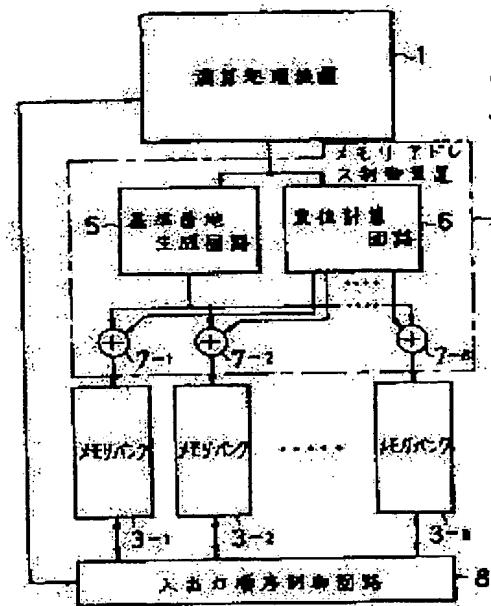
(21)Application number : 58-081954 (71)Applicant : MITSUBISHI ELECTRIC CORP
 (22)Date of filing : 11.05.1983 (72)Inventor : SEO KAZUO

(54) CONTROLLING DEVICE OF MEMORY ADDRESS

(57)Abstract:

PURPOSE: To perform data reading-out/writing processes at a high speed, by constituting a memory address controlling device in such a way that address supply to each memory bank can be performed simultaneously by means of the repeated pattern of an accessed address.

CONSTITUTION: An operation processor 1 performs arithmetic processes to data stored in each memory bank 3-1W3-8. A displacement calculating circuit 6 calculates the displacement of an accessed address from the reference memory bank of each memory bank 3-1W3-8 and a reference address generating circuit 5 generates an address to be supplied to one of the memory banks 3-1W3-8 which becomes the reference of repeat. By broadcasting the output of the reference address generating circuit 5 to each memory bank 3-1W3-8 and, at the same time, adding displacement calculated at the displacement calculating circuit 6 to each memory bank 3-1W3-8, addresses are simultaneously supplied to each memory bank 3-1W3-8 to be accessed and each memory bank 3-1W3-8 is operated in parallel.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報 (A)

昭59-206960

⑬ Int. Cl.³
G 06 F 13/00
G 11 C 8/00

識別記号

府内整理番号
7361-5B
6549-5B⑭ 公開 昭和59年(1984)11月22日
発明の数 1
審査請求 未請求

(全 5 頁)

⑮ メモリアドレス制御装置

⑯ 特 願 昭58-81954

⑰ 出 願 昭58(1983)5月11日

⑱ 発明者 瀬尾和男

尼崎市塚口本町8丁目1番1号

三菱電機株式会社中央研究所内
三菱電機株式会社東京都千代田区丸の内2丁目2
番3号

⑲ 代理人 弁理士 大岩増雄 外2名

明細書

1. 発明の名称

メモリアドレス制御装置

2. 特許請求の範囲

独立して読み出し／書き込み可能な複数のメモリバンクによつて構成されたメモリ装置内で、一定間隔の番地に対する一連のデータの読み出し／書き込み処理を行う装置において、開始番地、番地間隔、終了条件を入力とし、アクセスされる番地の繰り返しパターンにしたがつて、前記各メモリバンクの基準となるメモリバンクに対する番地の変位を計算する変位計算回路と、前記基準となるメモリバンクに供給する番地を次々と計算する基準番地生成回路とを備え、該基準番地生成回路の出力を前記各メモリバンクにプロードキャストすると共に、前記変位計算回路で計算した変位を加えることにより、アクセスすべき前記各メモリバンクに対して同時に番地を供給し、該各メモリバンク間で並列動作を行わせる様にして成ることを特徴とするメモリアドレス制御装置。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は、バンク分けされたメモリ装置内に規則的に配列されたデータの読み出し／書き込み処理を、高速度で行う様にしたメモリアドレス制御装置に関するものである。

〔従来技術〕

従来この種のデータの読み出し／書き込み処理は、電子計算機の演算処理装置とメモリコントローラとによつて行われていた。第1図は従来の複数のメモリバンクを持つ電子計算機におけるデータの読み出し／書き込み処理機構を示すブロック構成図である。図において、1は、例えは8つのメモリバンク3-1～3-8内に格納されたデータに対して演算処理を行う演算処理装置、2は演算処理装置1からのメモリアクセス要求を該当する各メモリバンク3-1～3-8に振り分けるメモリコントローラである。各メモリバンク3-1～3-8は独立に読み出し／書き込み可能なメモリバンクであり、メモリバンク3-1から順次に0, 1, 2, …

7とバンク番号が付けられている。演算処理装置1がメモリをアクセスする場合の番地は、下位3ビットがバンク番号を示し、それ以外の上位ビットはバンク内の番地を示す。

次に、上記第1図の動作について説明する。好適な例として、行単位で格納されている行列の列和をとる場合等を考えて、読み出すべきデータ群が番地0(第0メモリバンク3-1の番地0)から9番地ごとに格納されている場合について述べる。まず、演算処理装置1は最初のデータの読み出しのために、番地0と読み出し要求をメモリコントローラ2へ送る。これを受け、メモリコントローラ2は該当するメモリバンク3-1がアクセス可能であるか調べ、可能であればバンク内番地0と読み出し要求を送る。次いで、演算処理装置1は次のデータの番地、すなわち、8番地(第1メモリバンク3-2の番地1)を計算し、上記と同様にメモリコントローラ2へ番地8と読み出し要求を送り、メモリコントローラ2も同様にメモリバンク3-2に対し番地1と読み出し要求を出す。以上の

- 3 -

を、高速度で行うことができる様にしたメモリアドレス制御装置を提供するものである。

〔発明の実施例〕

以下、この発明の一実施例について説明する。第2図はこの発明の一実施例であるメモリアドレス制御装置を示すブロック構成図である。図において、1は演算処理装置、3-1～3-8は8つのメモリバンクであり、演算処理装置1は各メモリバンク3-1～3-8内に格納されたデータに対して演算処理を行う。4はメモリアドレス制御装置、5は各メモリバンク3-1～3-8の繰り返しの基準となるメモリバンクに供給する番地を発生する基準番地生成回路、6は各メモリバンク3-1～3-8の基準メモリバンクに対するアクセスされる番地の変位を計算する変位計算回路、7-1～7-8はブロードキャストされた基準番地生成回路5の出力に変位計算回路6の出力を加算し、各メモリバンク3-1～3-8に供給する番地を作る加算器、8は変位計算回路6によつて計算されるアクセス順序にしたがつて、入出力デ

様な動作を、すべてのデータが読み出されるまで繰り返すことにより、必要なデータに対する処理が完了する。なお、読み出されたデータは、後続のデータアクセスと並行して演算処理装置1に転送されて演算処理される。

ところで、従来の規則的に格納されたデータ群の読み出し用のアドレス生成は、上記した様に、演算処理装置1とメモリコントローラ2によつて逐次的に行われていたので、高速化がしにくいという欠点があつた。また、番地を送るラインを共通化して番地をブロードキャストできる様にした場合でも、上述した例の様に、各メモリバンク3-1～3-8に与えられる番地が異なる場合には、効果的で無いという欠点があつた。

〔発明の概要〕

この発明は、上記の様な従来のものの欠点を除去する目的でなされたもので、アクセスされる番地の繰り返しパターンにしたがつて、該当する複数の各メモリバンクに対して同時にアドレスを供給することにより、データの読み出し／書き込み処理

- 4 -

ータの順序を制御する入出力順序制御回路であり、メモリアドレス制御装置4は、基準番地生成回路5、変位計算回路6、各加算器7-1～7-8から構成される。

第3図は、第2図のメモリアドレス制御装置における要部を成す基準番地生成回路と変位計算回路を詳細に示すブロック構成図である。図において、9, 10, 11はそれぞれ演算処理装置1から送られて来る開始番地、終了条件、アクセスする番地間隔を保持するためのレジスタである。第3図に示す基準番地生成回路5において、12は基準となるメモリバンクに供給するバンク内番地を保持する基準番地レジスタ、13は基準番地レジスタ12の内容と終了条件のレジスタ10との内容を比較し、終了判定を行う終了判定回路、14は番地間隔のレジスタ11の内容を、LSB(Least Significant Bit)に1が来るまで最大3ビット右にシフトすることによつて、基準番地の増分を計算する基準番地増分生成回路、15は基準番地レジスタ12の内容を基準番地増分生成回路14

- 5 -

-392-

- 6 -

の出力分だけ加算する加算器である。また、第3図に示す変位計算回路6において、16はメモリアクセスの繰り返しパターンにおける各メモリバンク3-1～3-8のアクセス順序を保持した7ビット×8のROM(Read Only Memory)、17はアクセス番地間隔が1～8(メモリバンクの数)の場合の各メモリバンク3-1～3-8の変位(基本パターン)を保持した7ビット×8のROM、18-1～18-7はアクセス順序のROM16の各出力に番地間隔のレジスタ11の下位3ビットを除いたものを乗ずる乗算器、19-1～19-7は対応する各乗算器18-1～18-7の出力と基本パターンのROM17の出力を加算する加算器、20はアクセスの開始番地に合わせて変位出力を右シフトしてゆき、LSBからMSB(Most Significant Bit)にシフトされる時に1を加えるシフト回路である。基本パターンのROM17の出力が-1のものに対しては、各加算器19-1～19-7、シフト回路20は共に-1を出力し、各加算器7-1～7-8に-1が入力されることにより、対応する

- 7 -

1,2,3,4,5,6,7」が計算され、各加算器19-1～19-7によつてその出力と基本パターンのROM17の出力が加えられる。この結果、シフト回路20には「0,1,2,3,4,5,6,7」が入力されるが、開始番地のレジスタ9の下位3ビットは「000」であるためにシフト動作は行われず、結局、変位計算回路6の出力としては「0,1,2,3,4,5,6,7」が各加算器7-1～7-8に送られる。以上の動作と並行して基準番地生成回路5では、開始番地のレジスタ9の上位ビット(下位3ビット以外のメモリバンク内番地を示す)「0……00」が基準番地レジスタ12にセットされると共に、基準番地増分生成回路14によつて基準番地の増分が計算される。すなわちこの場合には、番地間隔のレジスタ11のLSBは「1」であるからシフトは起らず、そのまま「9」が増分として出力される。以上によつて初期設定が完了し、次いで、各加算器7-1～7-8によつて基準番地レジスタ12の出力「0」と各変位「0,1,2,3,4,5,6,7」が加算され、メモリバンク3-1には0番地、メモリバ

ンク3-2には1番地、……メモリバンク3-8には7番地がそれぞれ同時に供給され、データの読み出しが開始される。読み出されたデータは出入力順序制御回路8によつてアクセス順に並べ直され、演算処理装置1へと送られる。次いで、加算器15によつて番地の増分「9」が加算され、基準番地レジスタ12の内容が「9」に変わると同時に、終了判定回路13によつて終了判定が行われる。以下同様にして、終了条件が満たされるまで基準番地レジスタ12の内容が増加され、その出力に変位計算回路6の出力「0,1,2,3,4,5,6,7」が加えられたものが番地として、各メモリバンク3-1～3-8に供給される。

なお、上記実施例では、メモリバンク数を8とした場合について説明したが、Nバンク($N=2^n$ 、nは0の整数)に対して2つのROM(Nビット)に基本パターンを書き込んでも良く、そして、上記Nバンク以外のバンク数では制御はより複雑になるが、同様に構成することができる。

また、上記実施例では、読み出しの場合について

- 10 -

説明したが、書き込みの場合にも、書き込むデータを入出力順序制御回路8に入力して行えば、同様に処理ができるることはもちろんである。

〔発明の効果〕

この発明は以上説明した様に、アクセスされる番地の繰り返しパターンによつて、各メモリバンクへの番地供給を同時に行える様に構成したので、行列データに対する演算処理の場合等で、ある間隔でメモリ中に格納されているデータの読み出し／書き込み処理を、演算処理装置の負荷を増加すること無く、非常に高速度で行うことができるという優れた効果を奏するものである。

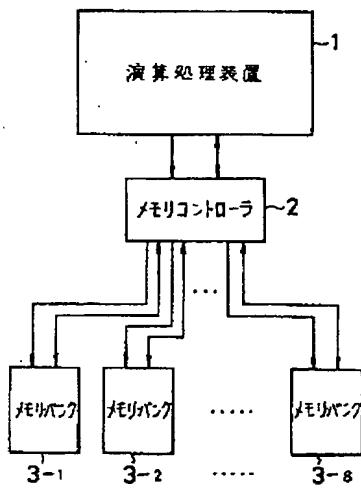
4. 図面の簡単な説明

第1図は従来の複数のメモリバンクを持つ電子計算機におけるデータの読み出し／書き込み処理機構を示すブロック構成図、第2図はこの発明の一実施例であるメモリアドレス制御装置を示すブロック構成図、第3図は、第2図のメモリアドレス制御装置における要部を成す基準番地生成回路と変位計算回路を詳細に示すブロック構成図である。

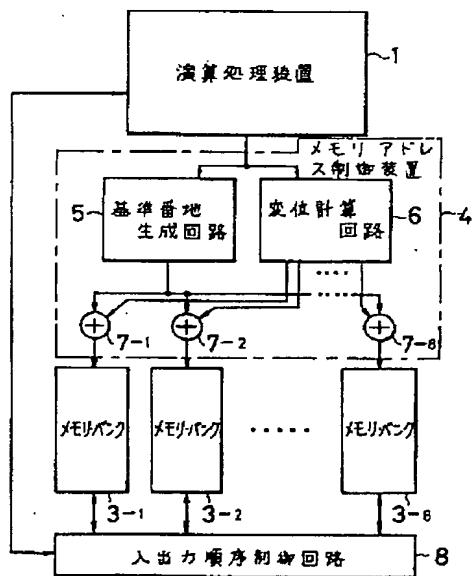
- 11 -

- 12 -

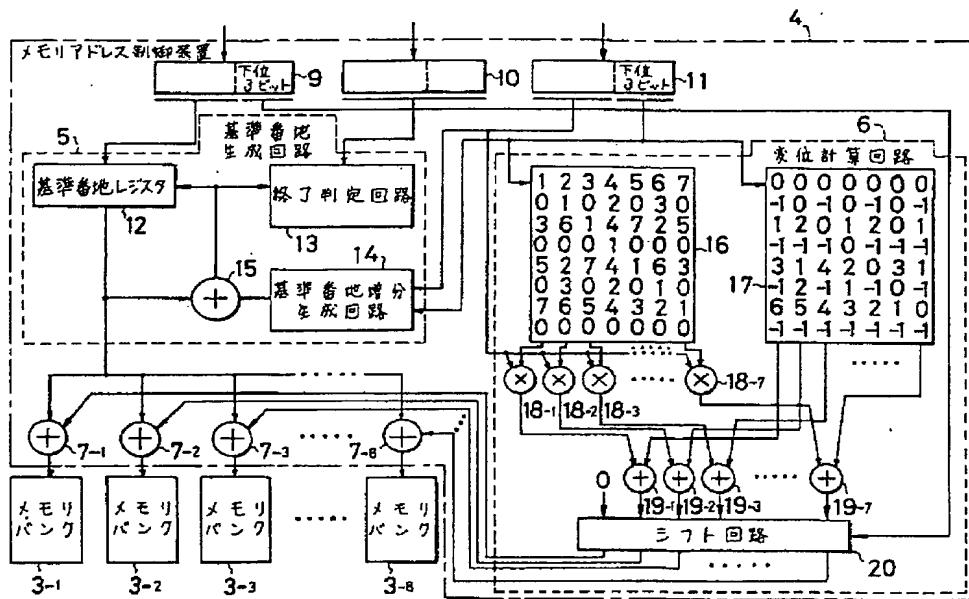
第1図



第2図



第 3 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.